

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 775 547

②1 N° d'enregistrement national : 99 02557

⑤1 Int Cl<sup>6</sup> : H 04 L 27/34

⑫

## DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 02.03.99.

③0 Priorité : 02.03.98 JP 04929198.

④3 Date de mise à la disposition du public de la  
demande : 03.09.99 Bulletin 99/35.

⑤6 Liste des documents cités dans le rapport de  
recherche préliminaire : *Ce dernier n'a pas été  
établi à la date de publication de la demande.*

⑥0 Références à d'autres documents nationaux  
apparentés :

⑦1 Demandeur(s) : NEC CORPORATION — JP.

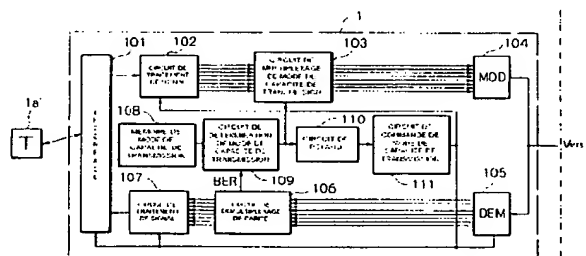
⑦2 Inventeur(s) : OHNO KATSUMARU.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : SOCIETE DE PROTECTION DES  
INVENTIONS.

⑤4 SYSTÈME DE RADIOCOMMUNICATION NUMÉRIQUE CAPABLE DE CHANGER UN MODE DE CAPACITÉ DE  
TRANSMISSION.

⑤7 Système de radiocommunication numérique pour la  
communication bidirectionnelle sans fil entre une station  
maître (1) et une station esclave (2), comprenant chacune  
une antenne, une interface d'abonné (101), un premier cir-  
cuit de traitement de signal (102, 202) pour convertir un pre-  
mier signal de données continues provenant de l'interface  
d'abonné en un premier signal numérique de paquet et pour  
l'allouer à un premier intervalle de temps prédéterminé, un  
circuit de modulation unique (104, 204) pour moduler le si-  
gnal de sortie du premier circuit de traitement de signal et  
pour transmettre un signal modulé à l'antenne, un circuit de  
démodulation unique (105, 205) pour démoduler un signal  
provenant de l'antenne et pour générer un second signal  
numérique de paquet, et un second circuit de traitement de  
signal (107, 207) pour convertir un signal démodulé d'un se-  
cond intervalle de temps prédéterminé en un second signal  
de données continues et pour le transmettre à l'interface  
d'abonné.



FR 2 775 547 - A1



SYSTEME DE RADIOCOMMUNICATION NUMERIQUE CAPABLE DE  
CHANGER UN MODE DE CAPACITE DE TRANSMISSION

CONTEXTE DE L'INVENTION

5

Domaine de l'invention

La présente invention concerne un système de radiocommunication numérique capable de changer un mode de capacité de transmission en fonction d'un taux d'erreurs sur les bits.

10

Description de l'art connexe

Généralement, dans un système de radio-communication numérique, des erreurs sur les bits apparaissent souvent du fait d'évanouissement ou similaire. Si un taux d'erreurs sur les bits augmente, la vitesse de transmission des données est réduite pour diminuer le taux d'erreurs sur les bits.

15

En bref, lorsque le taux d'erreurs sur les bits augmente au-delà d'un niveau admissible, il n'est plus possible de transmettre des informations avec précision. Diverses techniques ont donc été proposées à ce jour pour tenter d'améliorer le système de modulation et le procédé de correction d'erreurs afin de réduire les données en prévision d'une dégradation due aux erreurs lorsque le taux d'erreurs sur les bits augmente. De plus, diverses caractéristiques de protection des données ont été développées pour protéger les données contre les erreurs.

20

25

Cependant, aucun procédé n'a été développé à ce jour qui puisse parfaitement éviter l'apparition d'erreurs sur les bits et qui puisse corriger les erreurs contenues dans les données. Il y a donc un

30

grand besoin d'un système qui puisse détecter, efficacement et avec précision, toute modification du taux d'erreurs sur les bits et qui puisse adopter une vitesse de transmission adéquate afin de faire face,  
5 de manière appropriée, au taux d'erreurs sur les bits détecté.

Dans un premier système de radiocommunication numérique de l'art antérieur où un système de modulation d'amplitude en quadrature de phase (QAM)  
10 est utilisé (voir JP-A-3-13145), le niveau de modulation en cours est remplacé par un niveau inférieur lorsque le nombre de signaux d'entrée est inférieur à un nombre prédéterminé de signaux.

Dans le premier système de radiocommunication numérique de l'art antérieur, cependant, une pluralité  
15 de circuits de modulation et une pluralité de circuits de démodulation sont nécessaires, ce qui rend le système complexe. Egalement, étant donné que le niveau de modulation n'est modifié que lorsque le nombre de  
20 signaux à transmettre est modifié, la dégradation de la qualité de la ligne du trajet de transmission ne peut être compensée.

Dans un second système de radiocommunication numérique de l'art antérieur (voir JP-A-6-26356), un  
25 circuit de modulation (circuit de démodulation) de grande capacité et un circuit de modulation (circuit de démodulation) de faible capacité sont prévus à la fois du côté d'émission et du côté de réception, le circuit de modulation (circuit de démodulation) de  
30 grande capacité et le circuit de modulation (circuit de démodulation) de faible capacité sont sélectionnés en fonction de la qualité de la ligne.

Même dans le second système de radiocommunication numérique de l'art antérieur mentionné ci-dessus, une pluralité de circuits de modulation et une pluralité de circuits de démodulation sont nécessaires, ce qui  
5 rend le système complexe.

De plus, avec l'un quelconque des systèmes de radiocommunication numérique de l'art antérieur mentionnés ci-dessus, une commande de commutation n'est pas délivrée simultanément aux stations qui  
10 communiquent l'une avec l'autre, mais l'opération de commande de commutation doit être lancée individuellement pour chacune des stations. En conséquence, étant donné que le système de modulation/démodulation actuel lui-même doit être  
15 remplacé par un autre, le temps qui s'écoule avant la reprise de la transmission de signaux après l'opération de commutation est énorme.

#### RESUME DE L'INVENTION

20 C'est un objet de la présente invention de proposer un système de radiocommunication numérique de construction simple, capable de changer un mode de capacité de transmission pour compenser la dégradation de la qualité de la ligne.

25 Un autre objet consiste à être capable d'exécuter simultanément l'opération de commutation des modes de capacité de transmission dans une pluralité de stations.

Selon la présente invention, dans un système de  
30 radiocommunication numérique pour la communication bidirectionnelle sans fil entre une station maître et une station esclave, chacune de la station maître et de la station esclave comprend une antenne, une

interface d'abonné, un premier circuit de traitement de signal pour convertir un premier signal de données continues provenant de l'interface d'abonné en un premier signal numérique de paquet et pour l'allouer à  
5 un premier intervalle de temps prédéterminé, un circuit de modulation unique pour moduler le signal de sortie du circuit de traitement de signal et pour transmettre un signal modulé à l'antenne, un circuit de démodulation unique pour démoduler un signal  
10 provenant de l'antenne et pour générer un second signal de paquet, et un second circuit de traitement de signal pour convertir le second signal numérique de paquet d'un second intervalle de temps prédéterminé en un second signal de données continues et pour le  
15 transmettre à l'interface d'abonné. Egalement, la station maître comprend, de plus, un circuit de surveillance de taux d'erreurs sur les bits pour surveiller un taux d'erreurs sur les bits dans le signal démodulé, un circuit de commande de mode de  
20 capacité de transmission maître pour commander un mode de capacité de transmission de la station maître en fonction du taux d'erreurs sur les bits, et un circuit de multiplexage de mode de capacité de transmission pour multiplexer le mode de capacité de transmission  
25 de la station maître sur les premiers signaux numériques. De plus, la station esclave comprend un circuit de démultiplexage de mode de capacité de transmission pour extraire le mode de capacité de transmission de la station maître et un circuit de  
30 commande de mode de capacité de transmission esclave pour commander un mode de capacité de transmission de la station esclave conformément au mode de capacité de transmission de la station maître.

Ainsi, étant donné que chaque station comprend un circuit de modulation unique et un circuit de démodulation unique, le système est de construction simple.

5       Egalement, un circuit de retard est connecté entre le circuit de détermination de mode de transmission et le circuit de commande de mode de capacité de transmission maître, changeant ainsi simultanément le mode de capacité de transmission dans la station  
10 maître et dans la station esclave.

#### BREVE DESCRIPTION DES DESSINS

La présente invention sera plus clairement comprise à partir de la description telle qu'énoncée  
15 ci-dessous, avec référence aux dessins joints, sur lesquels :

La figure 1 est un schéma fonctionnel illustrant un système de radiocommunication à modulation d'amplitude en quadrature de phase selon la présente  
20 invention ;

La figure 2A est un diagramme de synchronisation montrant le signal de données continues et le signal de données de paquet de la figure 1 ;

La figure 2B est un diagramme de synchronisation montrant un format de trame utilisé dans le système de  
25 la figure 1 ;

La figure 2C est un diagramme de synchronisation montrant le fonctionnement du circuit de traitement de signal de la figure 1 ;

30       La figure 3 est un tableau montrant le contenu de la mémoire de mémorisation de modes de capacité de transmission de la figure 1 ;

La figure 4A est un diagramme illustrant une constellation du mode de capacité de transmission M1 de la figure 3 ;

La figure 4B est un diagramme de configuration d'œil du mode de capacité de transmission de la figure 3 ;

La figure 5A est un diagramme illustrant une constellation du mode de capacité de transmission M2 de la figure 3 ;

La figure 5B est un diagramme de configuration d'œil du mode de capacité de transmission M2 de la figure 3 ;

La figure 6A est un diagramme illustrant une constellation du mode de capacité de transmission M3 de la figure 3 ;

La figure 6B est un diagramme de configuration d'œil du mode de capacité de transmission M3 de la figure 3 ;

La figure 7A est un diagramme illustrant une constellation du mode de capacité de transmission M4 de la figure 3 ;

La figure 7B est un diagramme de configuration d'œil du mode de capacité de transmission M4 de la figure 3 ;

La figure 8 est un schéma de réalisation détaillé du circuit de démodulation de la figure 1 ;

La figure 9 est un schéma de réalisation détaillé du circuit de quantification de la figure 8 ; et

la figure 10 est un organigramme destiné à expliquer le fonctionnement du circuit de détermination de mode de capacité de transmission de la figure 1.

DESCRIPTION DU MODE DE REALISATION PREFERE

Sur la figure 1, qui illustre un système de radiocommunication à modulation d'amplitude en quadrature de phase, une station maître 1 et une station esclave 2 sont prévues afin de s'adapter à la communication bidirectionnelle sans fil pour échanger des informations numériques. C'est-à-dire que le taux d'erreurs sur les bits BER des signaux de transmission S est constamment surveillé et que la capacité de transmission des signaux de transmission S est modifiée automatiquement en fonction du taux d'erreurs sur les bits surveillé BER.

Une pluralité de terminaux, tels qu'un terminal 1a, sont connectés à la station maître 1, et une pluralité de terminaux, tels qu'un terminal 2a, sont connectés à la station esclave 2.

La station maître 1 est constituée d'une interface d'abonné 101 connectée au terminal 1a, d'un circuit de traitement de signal 102 pour convertir un signal de données continues provenant du terminal 1a en un signal de données de paquet et pour l'allouer à un intervalle de temps prédéterminé sur une base de partage du temps, d'un circuit de multiplexage de mode de capacité de transmission 103, et d'un circuit de modulation 104 pour moduler le signal de données du circuit de traitement de signal 102 et pour transmettre le signal modulé à la station esclave 2.

Egalement, la station maître 1 est constituée d'un circuit de démodulation 105 pour recevoir un signal S provenant de la station esclave 2 et pour démoduler le signal S, d'un circuit de démultiplexage de parité 106 pour extraire un signal de parité du signal démodulé, et d'un circuit de traitement de signal 107 pour



convertir le signal démodulé en un signal de données de paquet, pour le convertir en un signal de données continues et pour le transmettre à l'interface d'abonné 101 qui sort le signal de données continues vers le terminal 1a. Notez que le circuit de 5 démultiplexage de parité 106 détermine si, oui ou non, une erreur sur les bits est générée conformément au signal de parité extrait et calcule un taux d'erreurs sur les bits BER conformément à la génération 10 d'erreurs sur les bits. De plus, la station maître 1 est constituée d'une mémoire de mémorisation de modes de capacité de transmission (table) 108 pour mémoriser une pluralité de modes de capacité de transmission, d'un circuit de détermination de mode de capacité de 15 transmission 109 pour déterminer un mode de capacité de transmission optimal, d'un circuit de retard 110, et d'un circuit de commande de capacité de transmission 111. C'est-à-dire que la mémoire de 20 mémorisation de modes de capacité de transmission 108 mémorise, à l'avance, une pluralité de modes de capacité de transmission. Le circuit de détermination de mode de capacité de transmission 109 détermine un mode de capacité de transmission optimal sélectionné parmi les modes de capacité de transmission mémorisés 25 dans la mémoire de mémorisation de modes de capacité de transmission 108 en fonction du taux d'erreurs sur les bits BER. Egalement, le mode de capacité de transmission optimal est transmis, via le circuit de retard 110, au circuit de commande de capacité de 30 transmission 111 pour commander le mode de capacité de transmission de la station maître 1 et est transmis au circuit de multiplexage de mode de capacité de transmission 103 pour commander le mode de capacité de

transmission de la station esclave 2. Le circuit de retard 110 est prévu pour retarder le fonctionnement du circuit de commande de capacité de transmission 111. En conséquence, lorsqu'une transition de modes de capacité de transmission se produit dans la station maître 1, une telle transition des modes de capacité de transmission se produit simultanément dans la station esclave 2.

D'autre part, la station esclave 2 est constituée d'une interface d'abonné 201 connectée au terminal 2a, d'un circuit de traitement de signal 202 pour convertir un signal de données continues provenant du terminal 2a en un signal de données de paquet et pour l'allouer à un intervalle de temps prédéterminé, d'un circuit de multiplexage de parité 203, et d'un circuit de modulation 204 pour moduler le signal de données du circuit de traitement de signal 202 et pour transmettre le signal modulé à la station maître 1. Le circuit de multiplexage de parité 203 calcule une parité du signal de données et multiplexe cette parité avec le signal de données.

Egalement, la station esclave 2 est constituée d'un circuit de démodulation 205 pour recevoir un signal S provenant de la station maître 1 et pour démoduler le signal S, d'un circuit de démultiplexage de mode de capacité de transmission 206 pour extraire le mode de capacité de transmission optimal du signal démodulé, et d'un circuit de traitement de signal 207 pour convertir le signal démodulé en un signal de paquet, pour le convertir en un signal de données continues et pour le transmettre à l'interface d'abonné 201 qui sort le signal de données continues vers le terminal 2a.

De plus, la station esclave 2 est constituée d'un circuit de commande de capacité de transmission 208 pour recevoir le mode de capacité de transmission optimal provenant du circuit de démultiplexage de mode  
5 de capacité de transmission 206.

Le circuit de commande de mode de capacité de transmission 111 de la station maître 1 et le circuit de commande de mode de capacité de transmission 208 de la station esclave 2 sont tous deux mis en œuvre par  
10 le circuit de détermination de mode de capacité de transmission 109 de la station maître 1. Dans ce cas, du fait de la présence du circuit de retard 110, le fonctionnement du circuit de commande de mode de capacité de transmission 111 est synchronisé avec  
15 celui du circuit de commande de mode de capacité de transmission 208.

Dans la station maître 1, le circuit de commande de capacité de transmission 111 commande le format de conversion du circuit de traitement de signal 102, la  
20 fréquence d'horloge d'un signal d'horloge délivré par l'interface d'abonné 101 au terminal 1a, le format de conversion du circuit de traitement de signal 107, les niveaux de quantification et les tensions de seuil du circuit de démodulation 105. De même, dans la station  
25 esclave 2, le circuit de commande de capacité de transmission 208 commande la fréquence d'horloge d'un signal d'horloge délivré par l'interface d'abonné 101 au terminal 2a, le format de conversion du circuit de traitement de signal 202, le format de conversion du  
30 circuit de traitement de signal 207 et les niveaux de quantification et les tensions de seuil du circuit de démodulation 205.

Comme montré sur la figure 2A, le signal de données continues provenant de l'interface d'abonné 101 ou 201 est constitué de 80, 60, 40 ou 20 bits par période de temps prédéterminée  $T$ , telle que 312,5  $\mu$ s, si la fréquence d'horloge des terminaux 1a et 2a est de 256 k, 192 k, 128 k ou 64 k. Donc, le signal de données de paquet est de 10 bits x 8 dans la fréquence d'horloge de 256 k, de 10 bits x 6 dans la fréquence d'horloge de 192 k, de 10 bits x 4 dans la fréquence d'horloge de 128 k et de 10 bits x 2 dans la fréquence d'horloge de 64 k.

Un format de trame radio à multiplexage temporel, tel que montré sur la figure 2B, est utilisé comme signal de transmission  $S$  de la figure 1. Ce format de trame radio est formé par quatre canaux de données  $I_1$ ,  $I_2$ ,  $I_3$  et  $I_4$  dans la direction de l'axe  $I$  et par quatre canaux de données  $Q_1$ ,  $Q_2$ ,  $Q_3$  et  $Q_4$  dans la direction de l'axe  $Q$ . Chacun des canaux de données est constitué de trames avec la période de temps prédéterminée  $T$ , chacune des trames ayant un intervalle de temps de commande  $TS_0$  pour multiplexer les données de commande, telles qu'un mode de capacité de transmission optimal, et des intervalles de temps  $TS_1$  à  $TS_{10}$  à allouer à des terminaux, tels que les terminaux 1a et 2a, ceux qui sont appropriés, sur une base de partage du temps.

Par exemple, comme montré sur la figure 2C, si la fréquence d'horloge est de 192 k, le circuit de traitement de signal 102 (202) alloue le signal de données de paquet aux canaux de données  $I_1$ ,  $I_2$ ,  $I_3$ ,  $Q_1$ ,  $Q_2$  et  $Q_3$  d'un intervalle de temps  $TS_5$ , tandis que les canaux de données  $I_4$  et  $Q_4$  sont fixés à 0.

Notez que le fonctionnement du circuit de traitement de signal 107 (207) est l'opposé de celui du circuit de traitement de signal 101 (201).

La mémoire de mémorisation de modes de capacité de transmission 108 mémorise quatre modes de capacité de transmission M1, M2, M3 et M4.

Le mode de capacité de transmission M1 correspond à un système de modulation d'amplitude en quadrature de phase à 256 états dont la configuration de constellation est illustrée sur la figure 4A. C'est-à-dire que la capacité de transmission, c'est-à-dire la fréquence d'horloge des terminaux 1a et 2a est de 256 k et que les canaux de données  $I_1$ ,  $I_2$ ,  $I_3$ ,  $I_4$ ,  $Q_1$ ,  $Q_2$ ,  $Q_3$  et  $Q_4$  sont actifs, tandis qu'aucun canal de données n'est fixé. Egalement, dans ce cas, les formes d'onde de la configuration d'œil dans le circuit de démodulation 105 (205) sont telles qu'illustrées sur la figure 4B. C'est-à-dire que le nombre de niveaux de quantification est de 16, c'est-à-dire que les niveaux de quantification sont

$V_1(1)$ ,  $V_1(2)$ , ... et  $V_1(16)$ .

Donc, les tensions de seuil pour distinguer les niveaux de quantification  $V_1(1)$ ,  $V_1(2)$ , ... et  $V_1(16)$  sont

$V_{th1}(1)$ ,  $V_{th1}(2)$ , ... et  $V_{th1}(15)$

où  $V_1(i+1) < V_{th1}(i) < V_1(i)$ .

Le mode de capacité de transmission M2 correspond à un système de modulation d'amplitude en quadrature de phase à 64 états dont la configuration de constellation est illustrée sur la figure 5A. C'est-à-dire que la capacité de transmission, c'est-à-dire la fréquence d'horloge des terminaux 1a et 2a est de 192 k et que les canaux de données  $I_1$ ,  $I_2$ ,  $I_3$ ,  $Q_1$ ,  $Q_2$  et  $Q_3$

sont actifs, tandis que les canaux de données  $I_4$  et  $Q_4$  sont fixés à 0. Egalement, dans ce cas, les formes d'onde de la configuration d'œil dans le circuit de démodulation 105 (205) sont telles qu'illustrées sur la figure 5B. C'est-à-dire que le nombre de niveaux de quantification est de 8, c'est-à-dire que les niveaux de quantification sont

$V_2(1), V_2(2), \dots$  et  $V_2(8)$ .

Donc, les tensions de seuil pour distinguer les niveaux de quantification  $V_2(1), V_2(2), \dots$  et  $V_2(8)$  sont

$V_{th2}(1), V_{th2}(2), \dots$  et  $V_{th2}(7)$

où  $V_2(i+1) < V_{th2}(i) < V_2(i)$ .

Le mode de capacité de transmission M3 correspond à un système de modulation d'amplitude en quadrature de phase à 16 états dont la configuration de constellation est illustrée sur la figure 6A. C'est-à-dire que la capacité de transmission, c'est-à-dire la fréquence d'horloge des terminaux 1a et 2a est de 128 k et que les canaux de données  $I_1, I_2, Q_1$  et  $Q_2$  sont actifs, tandis que les canaux de données  $I_3, I_4, Q_3$  et  $Q_4$  sont fixés à 0. Egalement, dans ce cas, les formes d'onde de la configuration d'œil dans le circuit de démodulation 105 (205) sont telles qu'illustrées sur la figure 6B. C'est-à-dire que le nombre de niveaux de quantification est de 4, c'est-à-dire que les niveaux de quantification sont

$V_3(1), V_3(2), V_{th3}(3)$  et  $V_3(4)$ .

Donc, les tensions de seuil pour distinguer les niveaux de quantification  $V_3(1), V_3(2), V_3(3)$  et  $V_3(4)$  sont

$V_{th3}(1), V_{th3}(2)$  et  $V_{th3}(3)$

où  $V_3(i+1) < V_{th3}(i) < V_3(i)$ .

Le mode de capacité de transmission M4 correspond à un système de modulation d'amplitude en quadrature de phase à 4 états dont la configuration de constellation est illustrée sur la figure 7A. C'est-à-dire que la capacité de transmission, c'est-à-dire la fréquence d'horloge des terminaux 1a et 2a est de 64 k et que les canaux de données  $I_1$  et  $Q_1$  sont actifs, tandis que les canaux de données  $I_2$ ,  $I_3$ ,  $I_4$ ,  $Q_2$ ,  $Q_3$  et  $Q_4$  sont fixés à 0. Egalement, dans ce cas, les formes d'onde de la configuration d'œil dans le circuit de démodulation 105 (205) sont telles qu'illustrées sur la figure 7B. C'est-à-dire que le nombre de niveaux de quantification est de 2, c'est-à-dire que les niveaux de quantification sont

$V_4(1)$  et  $V_4(2)$ .

Donc, les tensions de seuil pour distinguer les niveaux de quantification  $V_4(1)$  et  $V_4(2)$  sont

$V_{th4}$

où  $V_4(2) < V_{th4} < V_4(1)$ .

Sur les figures 4B, 5B, 6B et 7B,

$V_1(1) = V_2(1) = V_3(1) = V_4(1)$

$V_1(3) = V_2(2)$

$V_1(5) = V_2(3) = V_3(2)$

$V_1(7) = V_2(4)$

$V_1(10) = V_2(5)$

$V_1(12) = V_2(6) = V_3(3)$

$V_1(14) = V_2(7)$

$V_1(16) = V_2(8) = V_3(4) = V_4(2)$ .

Sur la figure 8, qui est un schéma de réalisation détaillé du circuit de démodulation 105 (205) de la figure 1, le circuit de démodulation 105 (205) est constitué d'un circuit de détection (mélangeur) 801 pour détecter une composante d'axe I d'un signal reçu

et d'un circuit de détection (mélangeur) 802 pour détecter une composante d'axe Q du signal reçu. Egalement, les signaux de sortie analogiques des circuits de détection 801 et 802 sont, respectivement, 5 délivrés à un circuit de quantification d'axe I 803 et à un circuit de quantification d'axe Q 804. De plus, les signaux de sortie quantifiés des circuits de quantification 803 et 804 sont délivrés à un convertisseur de 16 valeurs en 4 valeurs d'axe I 805 10 pour générer les composantes d'axe I  $I_1$ ,  $I_2$ ,  $I_3$  et  $I_4$  et à un convertisseur de 16 valeurs en 4 valeurs d'axe Q 806 pour générer, respectivement, les composantes d'axe Q  $Q_1$ ,  $Q_2$ ,  $Q_3$  et  $Q_4$ .

Un circuit de régénération de porteuse 807 est 15 connecté au circuit de détection d'axe I 801 et au circuit de détection d'axe Q 802 pour régénérer un signal de porteuse. Le signal de porteuse régénéré est délivré directement au circuit de détection d'axe Q 802, de sorte que le signal reçu est mélangé avec le 20 signal de porteuse régénéré. D'autre part, le signal de porteuse régénéré est délivré, via un déphaseur de  $\pi/2$  808, au circuit de détection d'axe I 801, de sorte que le signal reçu est mélangé avec un signal de porteuse orthogonal au signal de porteuse régénéré.

25 Un circuit de régénération d'horloge 809 est également connecté au circuit de détection d'axe I 801 et au circuit de détection d'axe Q 802, pour régénérer un signal d'horloge pour commander le circuit de quantification d'axe I 803, le circuit de 30 quantification d'axe Q 804, le convertisseur de valeur 16 en valeur 4 d'axe I 805 et le convertisseur de valeur 16 en valeur 4 d'axe Q 806.



Sur la figure 9, qui est un schéma de réalisation détaillé du circuit de quantification 803 (804) de la figure 8, le circuit de quantification 803 (804) est constitué de quatre sections de quantification 901, 902, 903 et 904, respectivement, pour les modes de capacité de transmission M1, M2, M3 et M4. Dans ce cas, une des sections de quantification 901, 902, 903 et 904 est sélectionnée par le circuit de commande de mode de capacité de transmission 111 (208).

10 La section de quantification 901 est constituée d'un circuit d'échantillonnage et de maintien pour échantillonner et maintenir un signal d'entrée en réponse au signal d'horloge régénéré, de 15 comparateurs pour comparer la tension de sortie du circuit d'échantillonnage et de maintien avec les tensions de seuil  $V_{th1}(1)$ ,  $V_{th1}(2)$ , ... et  $V_{th1}(15)$ , et d'un circuit logique connecté aux comparateurs pour générer une tension quantifiée  $V_1(1)$ ,  $V_1(2)$ , ..., ou  $V_1(16)$ .

20 La section de quantification 902 est constituée d'un circuit d'échantillonnage et de maintien pour échantillonner et maintenir un signal d'entrée en réponse au signal d'horloge régénéré, de 7 comparateurs pour comparer la tension de sortie du circuit d'échantillonnage et de maintien avec les tensions de seuil  $V_{th2}(1)$ ,  $V_{th2}(2)$ , ... et  $V_{th2}(7)$ , et d'un circuit logique connecté aux comparateurs pour générer une tension quantifiée  $V_2(1)$ ,  $V_2(2)$ , ..., ou  $V_2(8)$ .

30 La section de quantification 903 est constituée d'un circuit d'échantillonnage et de maintien pour échantillonner et maintenir un signal d'entrée en réponse au signal d'horloge régénéré, de 3

comparateurs pour comparer la tension de sortie du circuit d'échantillonnage et de maintien avec les tensions de seuil  $V_{th3}(1)$ ,  $V_{th3}(2)$  et  $V_{th3}(3)$ , et d'un circuit logique connecté aux comparateurs pour générer  
5 une tension quantifiée  $V_3(1)$ ,  $V_3(2)$ ,  $V_3(3)$  ou  $V_3(4)$ .

La section de quantification 904 est constituée d'un circuit d'échantillonnage et de maintien pour échantillonner et maintenir un signal d'entrée en réponse au signal d'horloge régénéré, d'un comparateur  
10 pour comparer la tension de sortie du circuit d'échantillonnage et de maintien avec la tension de seuil  $V_{th4}$ , et d'un circuit logique connecté au comparateur pour générer une tension quantifiée  $V_4(1)$  ou  $V_4(2)$ .

15 Sur les figures 4B, 5B, 6B et 7B, chacune des tensions de seuil est fixée à une valeur centrale entre les deux tensions quantifiées correspondantes d'une ouverture de la configuration d'œil. En conséquence, la marge du fonctionnement des  
20 comparateurs du circuit de quantification 803 (804) peut être considérablement élargie afin de diminuer en conséquence la probabilité que les tensions quantifiées soient déterminées de manière erronée pour les données détectées, améliorant ainsi les  
25 caractéristiques de démodulation.

La circulation d'un signal du terminal 2a de la station esclave 2 vers le terminal 1a de la station maître 1 dans le système de la figure 1 va ensuite être expliquée.

30 Le terminal 2a transmet des données continues en synchronisation avec le signal d'horloge délivré par l'interface d'abonné 201. Dans ce cas, la fréquence d'horloge de ce signal d'horloge est définie par le

mode de capacité de transmission déterminé par le circuit de détermination de mode de capacité de transmission 109 de la station maître 1. L'interface d'abonné 201 convertit les données continues reçues en provenance du terminal 2a de la station esclave 2 en un format de signal numérique.

Ensuite, le circuit de traitement de signal 202 convertit les données numériques continues en un signal de données de paquet, comme montré sur la figure 2A, et multiplexe les données numériques divisées sur les trames radio allouées au terminal 2a sur une base de partage du temps, comme montré sur les figures 2B et 2C.

Ensuite, le circuit de multiplexage de parité 203 calcule une parité des données multiplexées et multiplexe la parité sur celles-ci.

Ensuite, le circuit de modulation 204 module les données multiplexées et les transmet à la station maître 1 via les antennes.

Ensuite, le circuit de démodulation 105 démodule un signal reçu en provenance de la station esclave 2. Ensuite, le circuit de démultiplexage de parité 106 extrait la parité du signal démodulé et calcule un taux d'erreurs sur les bits BER qui est transmis au circuit de détermination de mode de capacité de transmission 109.

Ensuite, le circuit de traitement de signal 107 convertit le signal démodulé du format de trame radio en données numériques continues, qui sont ensuite transmises à l'interface d'abonné 101.

L'interface d'abonné 101 convertit les données numériques continues en format de signal continu du terminal 1a.

Enfin, le terminal 1a reçoit les données provenant de l'interface d'abonné 101 en synchronisation avec le signal d'horloge délivré par l'interface d'abonné 101. Dans ce cas, la fréquence d'horloge de ce signal d'horloge est définie par le mode de capacité de transmission déterminé par le circuit de détermination de mode de capacité de transmission 109.

La circulation d'un signal du terminal 1a de la station maître 1 vers le terminal 2a de la station esclave 2 dans le système de la figure 1 va ensuite être expliqué.

Le terminal 1a transmet des données continues en synchronisation avec le signal d'horloge délivré par l'interface d'abonné 101. L'interface d'abonné 101 convertit les données continues reçues en provenance du terminal 1a de la station maître 1 en un format de signal numérique.

Ensuite, le circuit de traitement de signal 102 convertit les données numériques continues en un signal de données de paquet, comme montré sur la figure 2A, et multiplexe les données numériques divisées sur les trames radio allouées au terminal 1a sur une base de partage du temps, comme montré sur les figures 2B et 2C.

Ensuite, le circuit de multiplexage de mode de capacité de transmission 103 reçoit un mode de capacité de transmission provenant du circuit de détermination de mode de capacité de transmission 109 et multiplexe le mode de capacité de transmission sur les intervalles de temps TSO des trames radio.

Ensuite, le circuit de modulation 104 module les données multiplexées et les transmet à la station esclave 2 via les antennes.

Ensuite, le circuit de démodulation 205 démodule un signal reçu en provenance de la station maître 1. Ensuite, le circuit de démultiplexage de mode de capacité de transmission 206 extrait le mode de  
5 capacité de transmission des intervalles de temps TS0 du signal démodulé et, ensuite, le mode de capacité de transmission est transmis au circuit de commande de mode de capacité de transmission 208.

Ensuite, le circuit de traitement de signal 207  
10 convertit le signal démodulé du format de trame radio en données numériques continues, qui sont ensuite transmises à l'interface d'abonné 201.

L'interface d'abonné 201 convertit les données numériques continues en format de signal continu du  
15 terminal 2a.

Enfin, le terminal 2a reçoit les données provenant de l'interface d'abonné 201 en synchronisation avec le signal d'horloge délivré par l'interface d'abonné 201.

L'opération de changement du mode de capacité de transmission va ensuite être expliquée avec référence  
20 à la figure 10.

D'abord, aux étapes 1001 et 1002, le taux d'erreurs sur les bits BER calculé par le circuit de démultiplexage de parité 106 est surveillé par le  
25 circuit de détermination de mode de capacité de transmission 109. Plus en détail, à l'étape 1001, il est déterminé si, oui ou non, BER est supérieur à une valeur définie  $\alpha$  de sorte que la qualité de la ligne de communication est diminuée. D'autre part, à l'étape  
30 1002, il est déterminé si, oui ou non, BER est inférieur à une valeur définie  $\beta$  ( $< \alpha$ ) de sorte que la qualité de la ligne de communication est augmentée. En

conséquence, si  $BER > \alpha$ , alors le programme avance à l'étape 1003 qui incrémente une valeur "j" de 1. D'autre part, si  $BER < \beta$ , alors le programme avance à l'étape 1006 qui décrémente la valeur "j" de 1. Notez  
5 que la valeur "j" représente le mode de capacité de transmission  $M_j$ .

Aux étapes 1004 et 1005, la valeur "j" est limitée à la valeur 4. C'est-à-dire qu'à l'étape 1004, si la valeur "j" est 2, 3 ou 4, le programme avance à  
10 l'étape 1009. Si la valeur "j" est 5, le programme avance à l'étape 1005 qui fait en sorte que la valeur "j" soit 4 et, ensuite, le programme avance à l'étape 1010.

D'autre part, aux étapes 1007 et 1008, la valeur  
15 "j" est limitée à la valeur minimale 1. C'est-à-dire qu'à l'étape 1007, si la valeur "j" est 1, 2 ou 3, le programme avance à l'étape 1009. Si la valeur "j" est 0, le programme avance à l'étape 1008 qui fait en sorte que la valeur "j" soit 1 et, ensuite, le  
20 programme avance à l'étape 1010.

A l'étape 1009, le mode de capacité de transmission est changé, c'est-à-dire qu'un nouveau mode de capacité de transmission est fixé pour le système de la figure 1. C'est-à-dire que le circuit de  
25 détermination de mode de capacité de transmission 109 multiplexe le nouveau mode de capacité de transmission sur les intervalles de temps de commande TS0 des trames radio, de sorte que le nouveau mode de capacité de transmission soit fixé dans le circuit de commande  
30 de mode de capacité de transmission 208 de la station esclave 2 via son circuit de démultiplexage de mode de capacité de transmission 206. D'autre part, dans la

station maître 1, le nouveau mode de capacité de transmission est maintenu dans le circuit de retard 110 pendant une période de temps prédéterminée afin que la commutation vers le nouveau mode de capacité de transmission soit effectuée simultanément dans la station maître 1 et dans la station esclave 2.

Ensuite, le programme avance à l'étape 1010, achevant ainsi le programme de la figure 10.

Ainsi, le nouveau mode de capacité de transmission sera démarré simultanément à la fois dans la station maître 1 et dans la station esclave 2.

Par exemple, si le nouveau mode de capacité de transmission est le mode de capacité de transmission M1, dans la station maître 1, le circuit de commande de mode de capacité de transmission 111 règle la fréquence d'horloge du signal d'horloge délivré au terminal 1a pour qu'elle soit de 256 k, tandis qu'aucun canal de données n'est fixé dans le circuit de traitement de signal 102 et qu'aucun canal de données n'est enlevé dans le circuit de traitement de signal 107. De plus, la section de quantification 901 est sélectionnée à partir du circuit de quantification du circuit de démodulation 105. D'autre part, dans la station esclave 2, le circuit de commande de mode de capacité de transmission 208 règle la fréquence d'horloge du signal d'horloge délivré au terminal 2a pour qu'elle soit de 256 k, tandis qu'aucun canal de données n'est fixé dans le circuit de traitement de signal 202 et qu'aucun canal de données n'est enlevé dans le circuit de traitement de signal 207. De plus, la section de quantification 901 est sélectionnée à partir du circuit de quantification du circuit de démodulation 205.

Si le nouveau mode de capacité de transmission est le mode de capacité de transmission M2, dans la station maître 1, le circuit de commande de mode de capacité de transmission 111 règle la fréquence d'horloge du signal d'horloge délivré au terminal la pour qu'elle soit de 192 k, tandis que les canaux de données  $I_4$  et  $Q_4$  sont fixés dans le circuit de traitement de signal 102 et que les canaux de données  $I_4$  et  $Q_4$  sont enlevés dans le circuit de traitement de signal 107. De plus, la section de quantification 902 est sélectionnée à partir du circuit de quantification du circuit de démodulation 105. D'autre part, dans la station esclave 2, le circuit de commande de mode de capacité de transmission 208 règle la fréquence d'horloge du signal d'horloge délivré au terminal 2a pour qu'elle soit de 192k, tandis que les canaux de données  $I_4$  et  $Q_4$  sont fixés dans le circuit de traitement de signal 202 et que les canaux de données  $I_4$  et  $Q_4$  sont enlevés dans le circuit de traitement de signal 207. De plus, la section de quantification 902 est sélectionnée à partir du circuit de quantification du circuit de démodulation 205.

Si le nouveau mode de capacité de transmission est le mode de capacité de transmission M3, dans la station maître 1, le circuit de commande de mode de capacité de transmission 111 règle la fréquence d'horloge du signal d'horloge délivré au terminal la pour qu'elle soit de 128 k, tandis que les canaux de données  $I_3$ ,  $I_4$ ,  $Q_3$  et  $Q_4$  sont fixés dans le circuit de traitement de signal 102 et que les canaux de données  $I_3$ ,  $I_4$ ,  $Q_3$  et  $Q_4$  sont enlevés dans le circuit de traitement de signal 107. De plus, la section de quantification 903 est sélectionnée à partir du



circuit de quantification du circuit de démodulation 105. D'autre part, dans la station esclave 2, le circuit de commande de mode de capacité de transmission 208 règle la fréquence d'horloge du signal d'horloge délivré au terminal 2a pour qu'elle soit de 128 k, tandis que les canaux de données I<sub>3</sub>, I<sub>4</sub>, Q<sub>3</sub> et Q<sub>4</sub> sont fixés dans le circuit de traitement de signal 202 et que les canaux de données I<sub>3</sub>, I<sub>4</sub>, Q<sub>3</sub> et Q<sub>4</sub> sont enlevés dans le circuit de traitement de signal 207. De plus, la section de quantification 903 est sélectionnée à partir du circuit de quantification du circuit de démodulation 205.

Si le nouveau mode de capacité de transmission est le mode de capacité de transmission M4, dans la station maître 1, le circuit de commande de mode de capacité de transmission 111 règle la fréquence d'horloge du signal d'horloge délivré au terminal 1a pour qu'elle soit de 64 k, tandis que les canaux de données I<sub>2</sub>, I<sub>3</sub>, I<sub>4</sub>, Q<sub>2</sub>, Q<sub>3</sub> et Q<sub>4</sub> sont fixés dans le circuit de traitement de signal 102 et que les canaux de données I<sub>2</sub>, I<sub>3</sub>, I<sub>4</sub>, Q<sub>2</sub>, Q<sub>3</sub> et Q<sub>4</sub> sont enlevés dans le circuit de traitement de signal 107. De plus, la section de quantification 904 est sélectionnée à partir du circuit de quantification du circuit de démodulation 105. D'autre part, dans la station esclave 2, le circuit de commande de mode de capacité de transmission 208 règle la fréquence d'horloge du signal d'horloge délivré au terminal 2a pour qu'elle soit de 64 k, tandis que les canaux de données I<sub>2</sub>, I<sub>3</sub>, I<sub>4</sub>, Q<sub>2</sub>, Q<sub>3</sub> et Q<sub>4</sub> sont fixés dans le circuit de traitement de signal 202 et que les canaux de données I<sub>2</sub>, I<sub>3</sub>, I<sub>4</sub>, Q<sub>2</sub>, Q<sub>3</sub> et Q<sub>4</sub> sont enlevés dans le circuit de traitement de signal 207. De plus, la section de

quantification 904 est sélectionnée à partir du circuit de quantification du circuit de démodulation 205.

5 Dans le mode de réalisation mentionné ci-dessus, bien que le nombre de modes de capacité de transmission soit de deux, la présente invention peut être appliquée à trois modes de capacité de transmission ou plus. Egalement, dans ce cas, un nouveau mode de capacité de transmission peut être  
10 sélectionné en augmentant la valeur "j", sur la figure 10, de deux ou plus. De plus, l'augmentation ou la diminution de la valeur "j" à l'étape 1003 ou 1006 peut être variable.

15 Egalement, sur la figure 9, bien que les sections de quantification 902, 903 et 904 soient constituées par du matériel, les sections de quantification 901, 902, 903 et 904 peuvent être constituées en utilisant un logiciel.

20 Comme expliqué ci-dessus, selon la présente invention, étant donné que chaque station est constituée d'un circuit de modulation unique et d'un circuit de démodulation unique, la dégradation de la qualité de la ligne de communication peut être compensée par un système de radiocommunication  
25 construit de manière simple.

REVENDICATIONS

1. Système de radiocommunication numérique pour la communication bidirectionnelle sans fil entre une station maître (1) et une station esclave (2), caractérisé en ce que chacune de ladite station maître et de ladite station esclave comprend :

une antenne ;

une interface d'abonné (101) ;

un premier circuit de traitement de signal (102, 202), connecté à ladite première interface d'abonné, pour convertir un premier signal de données continues provenant de ladite interface d'abonné en un premier signal numérique de paquet et pour allouer ledit premier signal numérique de paquet à un premier intervalle de temps prédéterminé ;

un circuit de modulation unique (104, 204), connecté entre ledit premier circuit de traitement de signal et ladite antenne, pour moduler un signal de sortie dudit premier circuit de traitement de signal et pour transmettre un signal modulé à ladite antenne ;

un circuit de démodulation unique (105, 205), connecté à ladite antenne, pour démoduler un signal provenant de ladite antenne ; et

un second circuit de traitement de signal (107, 207), connecté entre ledit circuit de démodulation et ladite interface d'abonné, pour convertir un signal démodulé d'un second intervalle de temps prédéterminé en un second signal de données continues et pour transmettre ledit second signal de données continues à ladite interface d'abonné ;

ladite station maître comprenant, de plus :

un circuit de surveillance de taux d'erreurs sur les bits (106), connecté entre ledit circuit de démodulation et ledit second circuit de traitement de signal de ladite station maître, pour surveiller un  
5   taux d'erreurs sur les bits (BER) dans ledit signal démodulé ;

un circuit de commande de mode de capacité de transmission maître (111) connecté audit circuit de surveillance de taux d'erreurs sur les bits, et à  
10   ladite interface d'abonné, auxdits premier et second circuits de traitement de signal et audit circuit de démodulation de ladite station maître, pour commander un mode de capacité de transmission de ladite station maître en fonction du taux d'erreurs sur les bits ; et

15   un circuit de multiplexage de mode de capacité de transmission (103), connecté entre ledit premier circuit de traitement de signal et ledit circuit de modulation de ladite station maître, pour multiplexer le mode de capacité de transmission de ladite station  
20   maître sur ledit premier signal numérique de paquet ;

ladite station esclave comprenant, de plus :

un circuit de démultiplexage de mode de capacité de transmission (206), connecté entre ledit circuit de démodulation et ledit second circuit de traitement de  
25   signal de ladite station esclave, pour extraire le mode de capacité de transmission de ladite station maître ;

un circuit de commande de mode de capacité de transmission esclave (208), connecté audit circuit de démultiplexage de mode de capacité de transmission, et  
30   à ladite interface d'abonné, auxdits premier et second circuits de traitement de signal et audit circuit de démodulation de ladite station esclave, pour commander un mode de capacité de transmission de ladite station

esclave conformément au mode de capacité de transmission de ladite station maître.

2. Système selon la revendication 1, dans lequel ladite station maître comprend, de plus :

- 5        une mémoire de mémorisation de modes de capacité de transmission (108) pour mémoriser une pluralité de modes de capacité de transmission (M1, M2, M3, M4) ; et  
un circuit de détermination de mode de capacité de transmission (109), connecté à ladite mémoire de  
10    mémorisation de modes de capacité de transmission, audit circuit de surveillance d'erreurs sur les bits, audit circuit de commande de mode de capacité de transmission maître et audit circuit de multiplexage de mode de capacité de transmission, pour sélectionner un  
15    desdits modes de capacité de transmission mémorisés dans ladite mémoire de mémorisation de modes de capacité de transmission en fonction dudit taux d'erreurs sur les bits et pour transmettre un mode de capacité de transmission sélectionné audit circuit de  
20    commande de mode de capacité de transmission maître et audit circuit de multiplexage de mode de capacité de transmission.

3. Système selon la revendication 2, dans lequel ledit circuit de détermination de mode de capacité de  
25    transmission sélectionne un mode de capacité de transmission de niveau inférieur à un mode de capacité de transmission actuellement sélectionné lorsque ledit taux d'erreurs sur les bits est supérieur à une première valeur ( $\alpha$ ), et ledit circuit de détermination  
30    de mode de capacité de transmission sélectionne un mode de capacité de transmission de niveau supérieur à un mode de capacité de transmission actuellement sélectionné lorsque ledit taux d'erreurs sur les bits

est inférieur à une seconde valeur ( $\beta$ ) inférieure à ladite première valeur.

4. Système selon la revendication 1, dans lequel ladite station maître comprend, de plus, un circuit de retard (110), connecté entre ledit circuit de détermination de mode de capacité de transmission et ledit circuit de commande de mode de capacité de transmission maître.

5. Système selon la revendication 1, dans lequel ladite station esclave comprend, de plus, un circuit de multiplexage de parité (203) connecté entre ledit premier circuit de traitement de signal et ledit circuit de modulation de ladite station esclave, pour multiplexer une parité dudit premier signal numérique de paquet sur ledit premier signal numérique de paquet ;

ledit circuit de surveillance de taux d'erreurs sur les bits comprenant un circuit de démultiplexage de parité pour extraire ladite parité et pour calculer ledit taux d'erreurs sur les bits.

6. Système selon la revendication 1, dans lequel ledit circuit de commande de mode de capacité de transmission maître commande une fréquence d'horloge d'un signal d'horloge de ladite interface d'abonné de ladite station maître, les formats de conversion desdits premier et second circuits de traitement de signal de ladite station maître et les caractéristiques de démodulation dudit circuit de démodulation de ladite station maître conformément audit mode de capacité de transmission ;

ledit circuit de commande de mode de capacité de transmission esclave commande une fréquence d'horloge d'un signal d'horloge de ladite interface d'abonné de

ladite station esclave, les formats de conversion desdits premier et second circuits de traitement de signal de ladite station esclave et les caractéristiques de démodulation dudit circuit de  
5 démodulation de ladite station esclave conformément audit mode de capacité de transmission.

7. Système selon la revendication 1, qui est un système de modulation d'amplitude en quadrature de phase.

10 8. Système selon la revendication 7, dans lequel ledit circuit de démodulation comprend des circuits de quantification (803, 805) ayant des niveaux quantifiés et des tensions de seuil entre ceux-ci ;

ledit circuit de commande de mode de capacité de  
15 transmission maître commandant une fréquence d'horloge d'un signal d'horloge de ladite interface d'abonné de ladite station maître conformément audit mode de transmission ;

ledit circuit de commande de mode de capacité de  
20 transmission maître fixant les canaux de données dudit premier circuit de traitement de signal de ladite station maître conformément audit mode de capacité de transmission ;

ledit circuit de commande de mode de capacité de  
25 transmission maître enlevant les canaux de données fixés dudit second circuit de traitement de signal de ladite station maître conformément audit mode de capacité de transmission ;

ledit circuit de commande de mode de capacité de  
30 transmission maître modifiant les niveaux quantifiés et les tensions de seuil desdits circuits de quantification de ladite station maître conformément audit mode de capacité de transmission ;

ledit circuit de commande de mode de capacité de transmission esclave commandant une fréquence d'horloge d'un signal d'horloge de ladite interface d'abonné de ladite station esclave conformément audit mode de

5 capacité de transmission ;

ledit circuit de commande de mode de capacité de transmission esclave fixant les canaux de données dudit premier circuit de traitement de signal de ladite station esclave conformément audit mode de capacité de

10 transmission ;

ledit circuit de commande de mode de capacité de transmission esclave enlevant les canaux de données fixés dudit second circuit de traitement de signal de ladite station esclave conformément audit mode de

15 capacité de transmission ;

ledit circuit de commande de mode de capacité de transmission esclave modifiant les niveaux quantifiés et les tensions de seuil desdits circuits de quantification de ladite station esclave conformément

20 audit mode de capacité de transmission.

9. Système de radiocommunication numérique pour la communication bidirectionnelle sans fil d'échange d'informations numériques entre une première station et une seconde station, caractérisé en ce qu'il comprend :

25 des moyens (106) pour surveiller constamment un taux d'erreurs sur les bits (BER) desdites informations numériques ; et

des moyens (109) pour sélectionner automatiquement un mode de capacité de transmission optimal pour

30 lesdites informations numériques en fonction dudit taux d'erreurs sur les bits.



10. Système selon la revendication 9, dans lequel lesdites informations numériques sont transmises au moyen d'un système de modulation.

11. Système selon la revendication 9 comprenant, de plus, des moyens de retard (110) dans ladite première station, de sorte que, lorsque ladite première station détermine de sélectionner un nouveau mode de capacité de transmission pour remplacer un mode de capacité de transmission actuel, l'opération de commutation du mode de capacité de transmission actuel vers le nouveau mode de capacité de transmission sélectionné dans ladite première station est retardée d'une période de temps nécessaire pour transmettre ledit nouveau mode de capacité de transmission à ladite seconde station.

12. Système selon la revendication 11, dans lequel chacune desdites première et seconde stations comprend une interface ;

ledit système comprenant, de plus, des moyens (111, 208) pour modifier une fréquence d'horloge de ladite interface lorsque le mode de capacité de transmission actuel est remplacé par le nouveau mode de capacité de transmission.

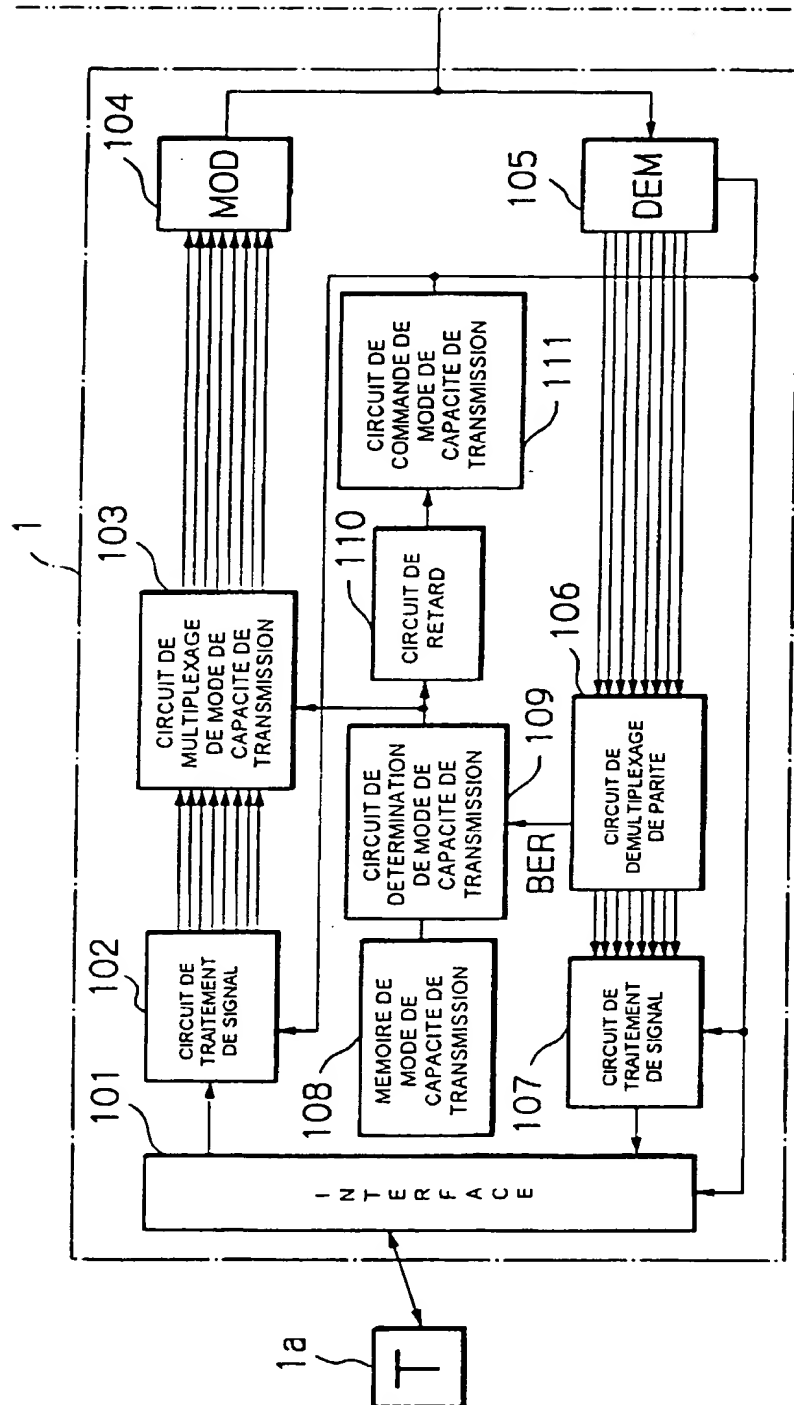
13. Système selon la revendication 9, qui est un système de modulation d'amplitude en quadrature de phase dans lequel lesdits moyens de sélection de mode de capacité de transmission optimal sélectionnent un agencement de codes de données optimal dans la direction de l'axe I et dans la direction de l'axe Q dudit système de modulation d'amplitude en quadrature de phase en fonction dudit taux d'erreurs sur les bits.

14. Système selon la revendication 13, dans lequel une pluralité d'agencements de codes de données dans la direction de l'axe I et dans la direction de l'axe Q

dudit système de modulation d'amplitude en quadrature de phase sont fixés pour une pluralité de modes de capacité de transmission, lesdits moyens de sélection de mode de capacité de transmission optimal  
5 sélectionnant l'un de ladite pluralité d'agencements de codes de données.

Fig. 1  
Fig. 1A Fig. 1B

Fig. 1A



2/17

Fig. 1B

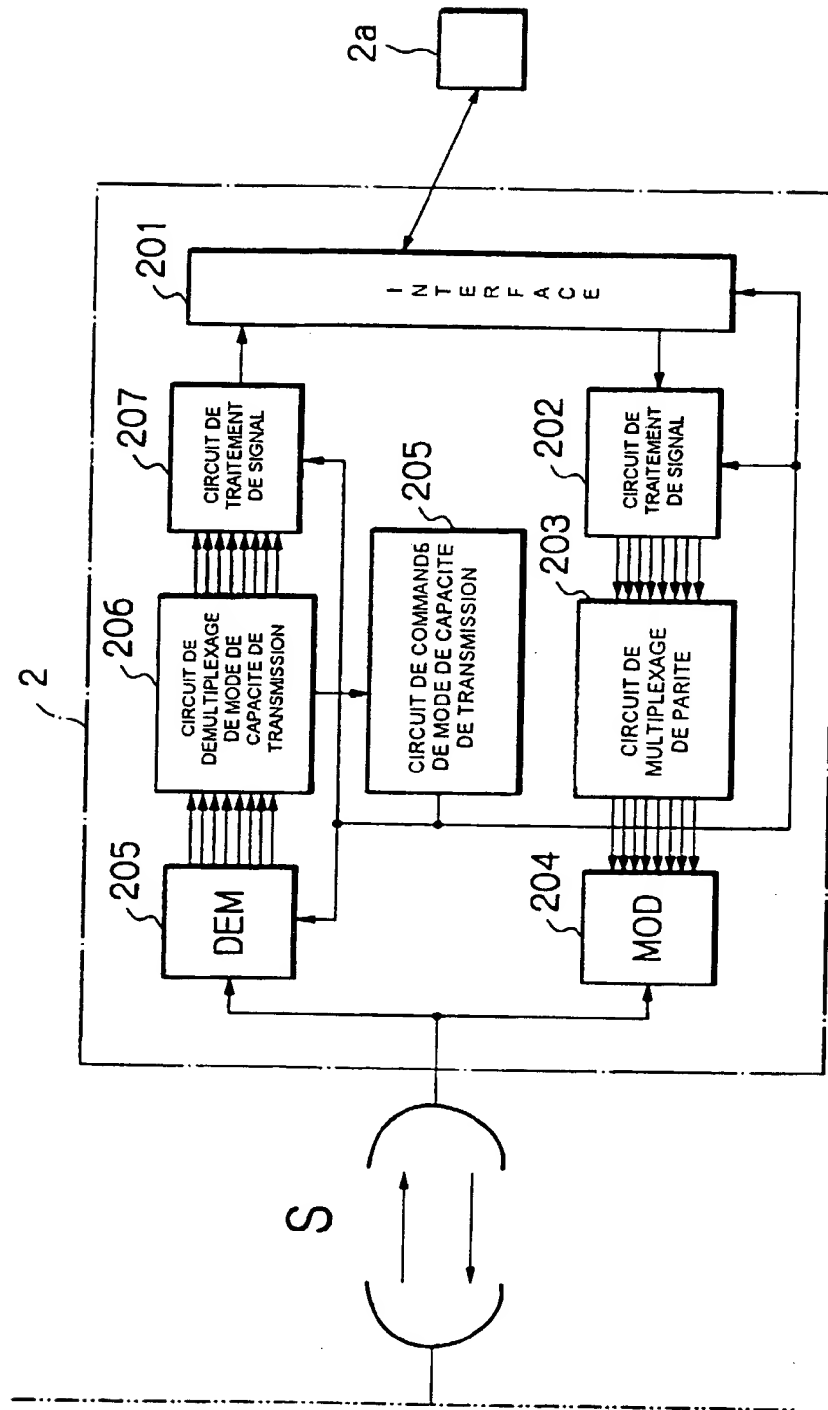
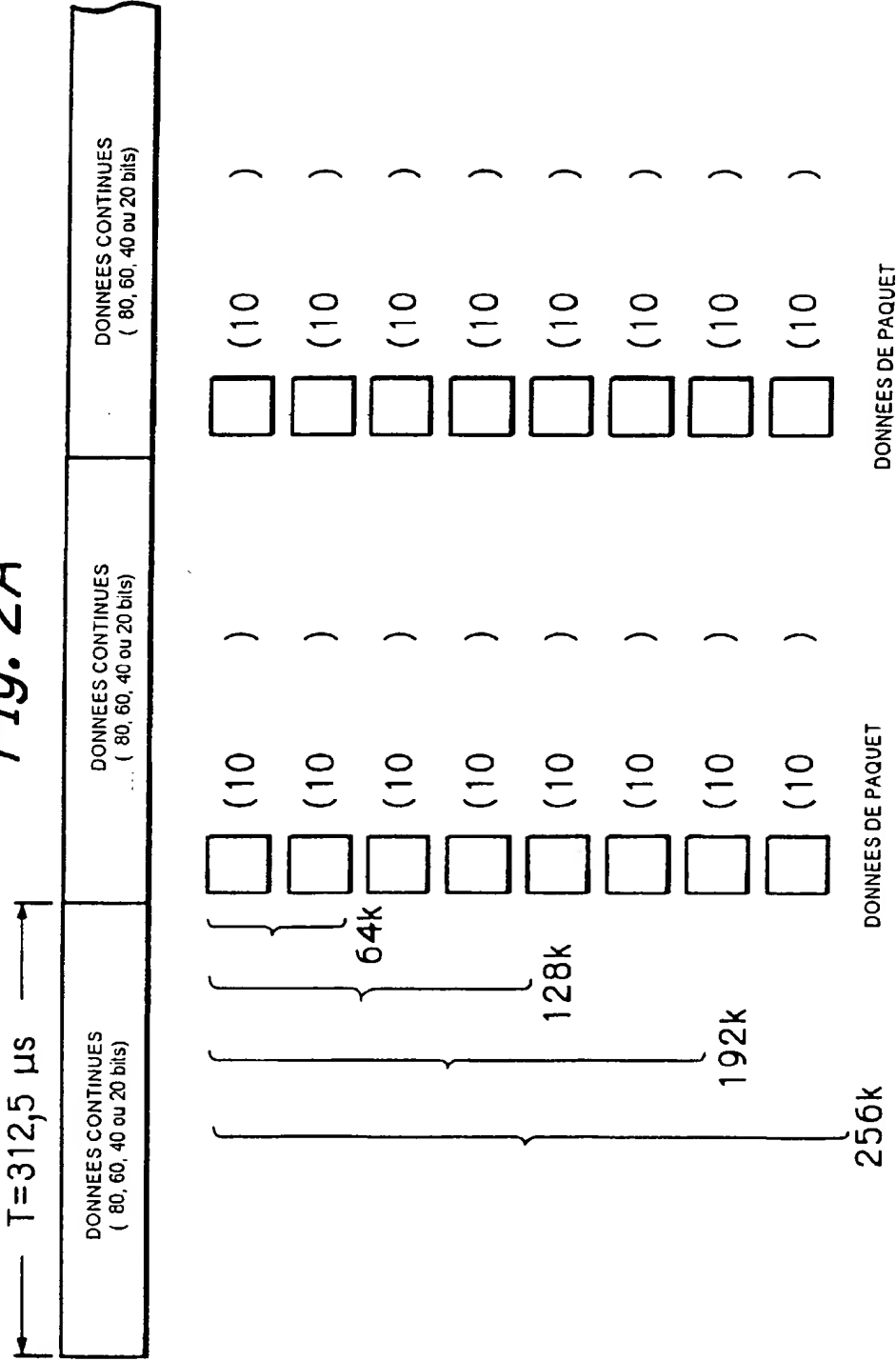


Fig. 2A



$$\frac{4}{17}$$


Timing diagram for the 6800 microprocessor showing instruction and data bus cycles. The diagram illustrates the sequence of signals (TS0-TS15) for instructions I1 through I4 and data transfers Q1 through Q4. A horizontal arrow at the top indicates a period  $T = 312,5 \mu s$ . The instruction cycles (I1-I4) show a sequence of TS0-TS15, with TS5-TS7 being shaded. The data transfer cycles (Q1-Q4) show a sequence of TS0-TS15, with TS5-TS7 being shaded. The diagram also shows the 'INTERVALLE DE TEMPS DE COMMANDE' (command time interval) and the 'INTERVALLE DE TEMPS DE COMMANDE' (command time interval) for the data bus.

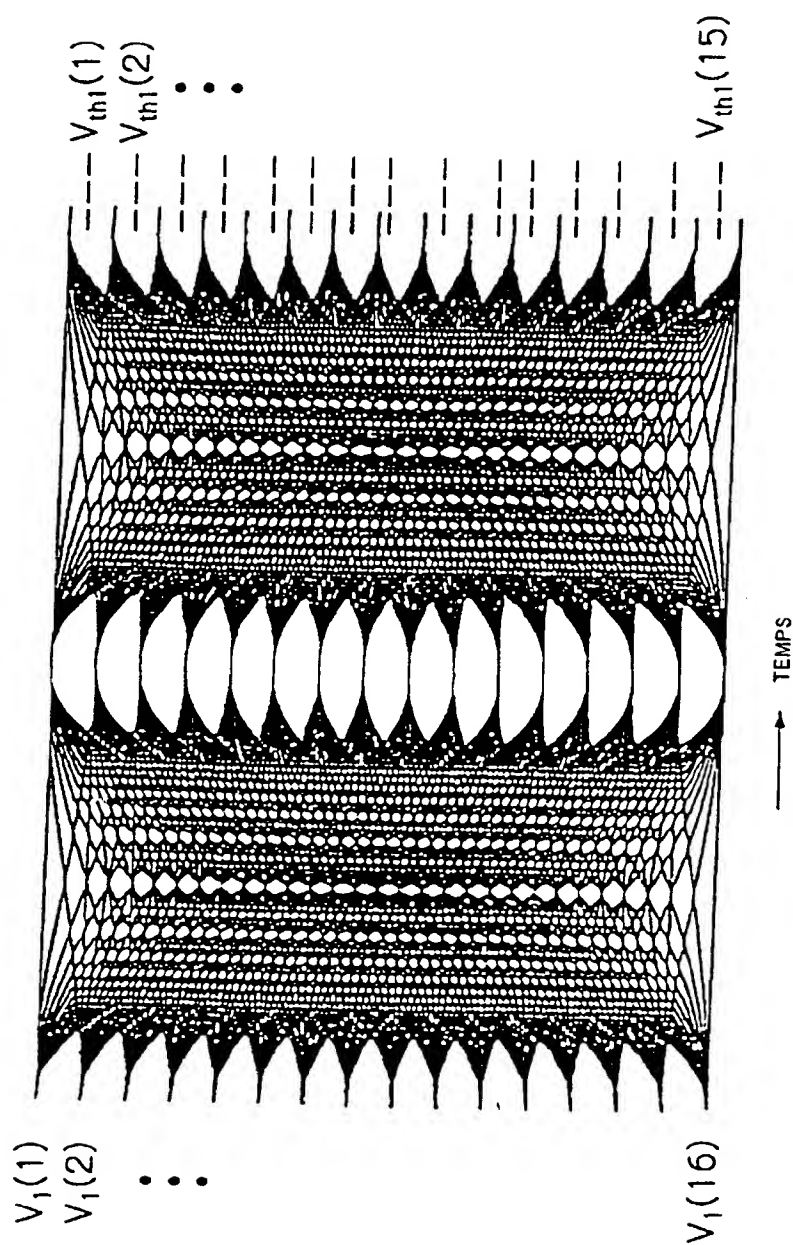
Fig. 3

MODE DE CAPACITE DE TRANSMISSION	CAPACITE DE TRANSMISSION	CANAUX DE DONNEES ACTIFS	CANAUX DE DONNEES FIXES	NOMBRE DE NIVEAUX DE QUANTIFICATION	TENSIONS DE SEUIL
M1	256kbps $\times 10$	$I_1, I_2, I_3, I_4$ $Q_1, Q_2, Q_3, Q_4$	—	16	$V_{th1}(1)$ $\sim V_{th1}(15)$
M2	192kbps $\times 10$	$I_1, I_2, I_3$ $Q_1, Q_2, Q_3$	$I_4$ $Q_4$	8	$V_{th2}(1)$ $\sim V_{th2}(7)$
M3	128kbps $\times 10$	$I_1, I_2$ $Q_1, Q_2$	$I_3, I_4$ $Q_3, Q_4$	4	$V_{th3}(1)$ $\sim V_{th3}(3)$
M4	64kbps $\times 10$	$I_1$ $Q_1$	$I_2, I_3, I_4$ $Q_2, Q_3, Q_4$	2	$V_{th4}$





Fig. 4B



$$\frac{9}{17}$$

Fig. 5A

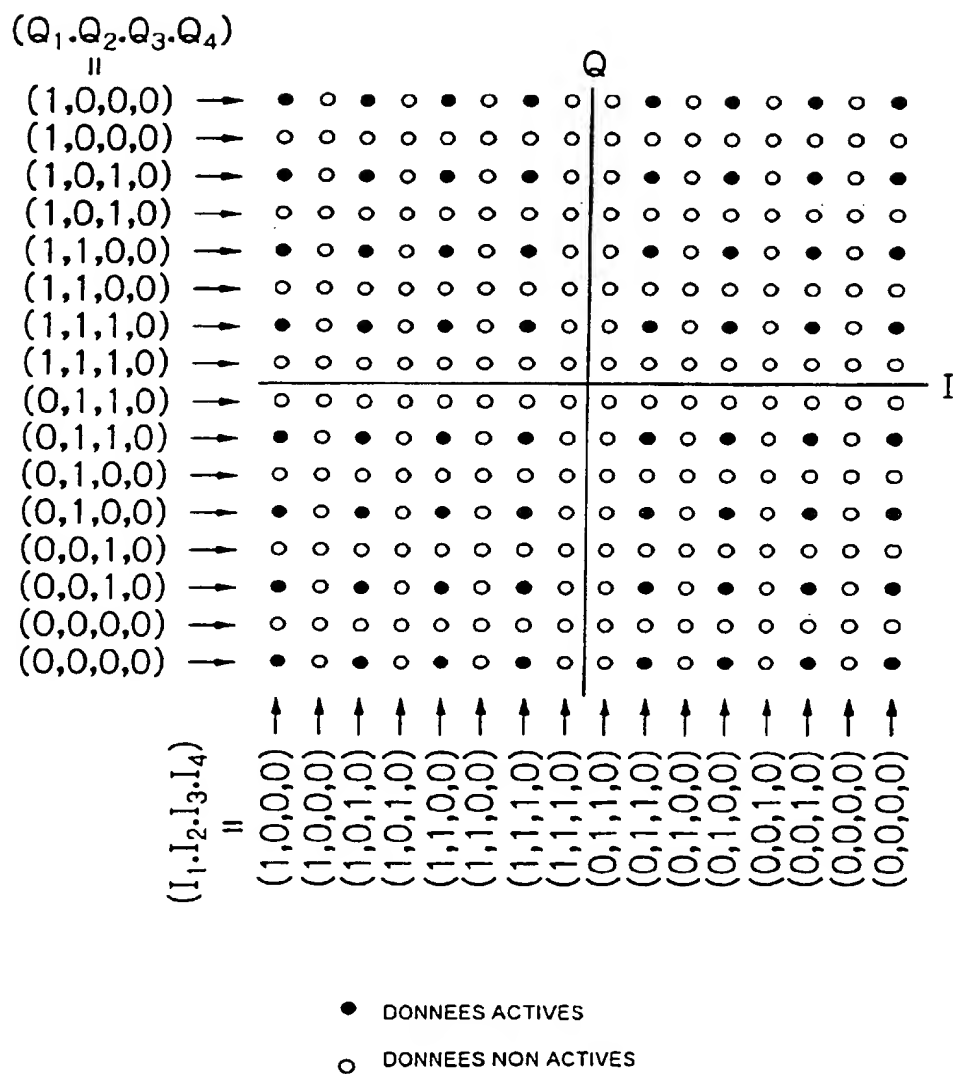
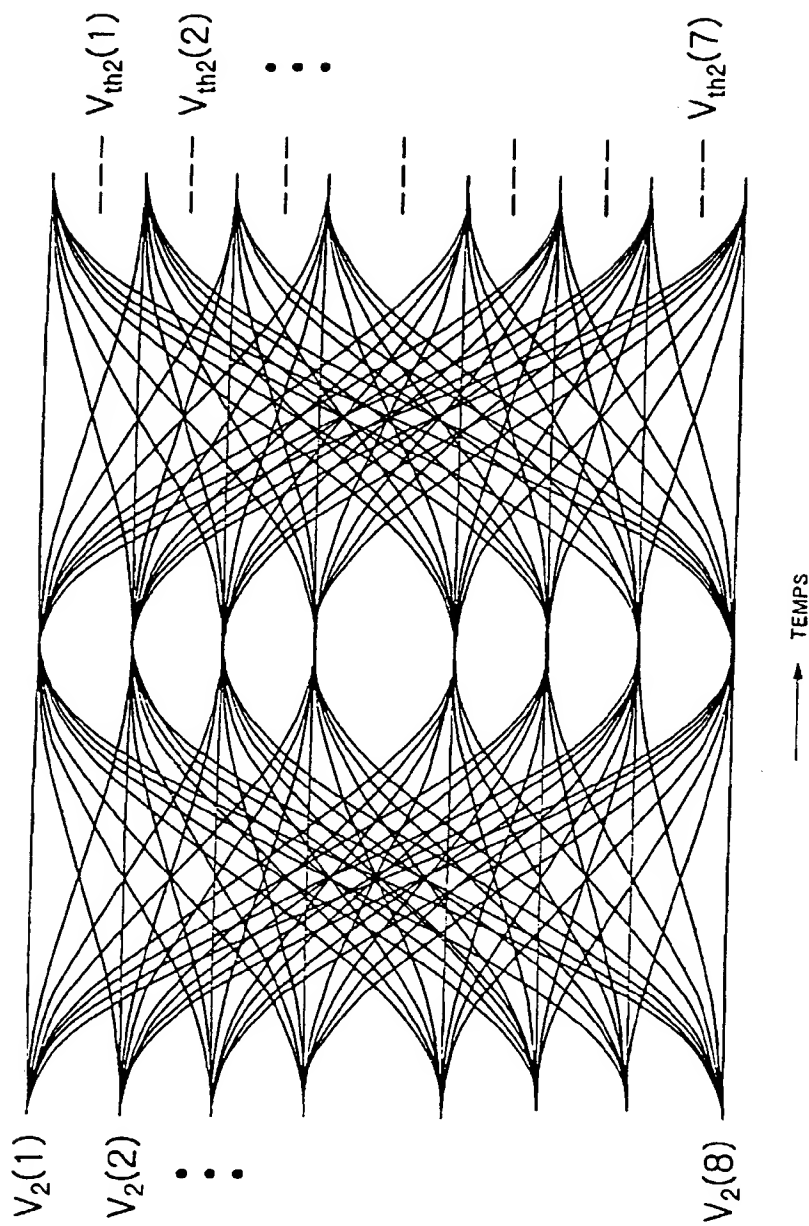


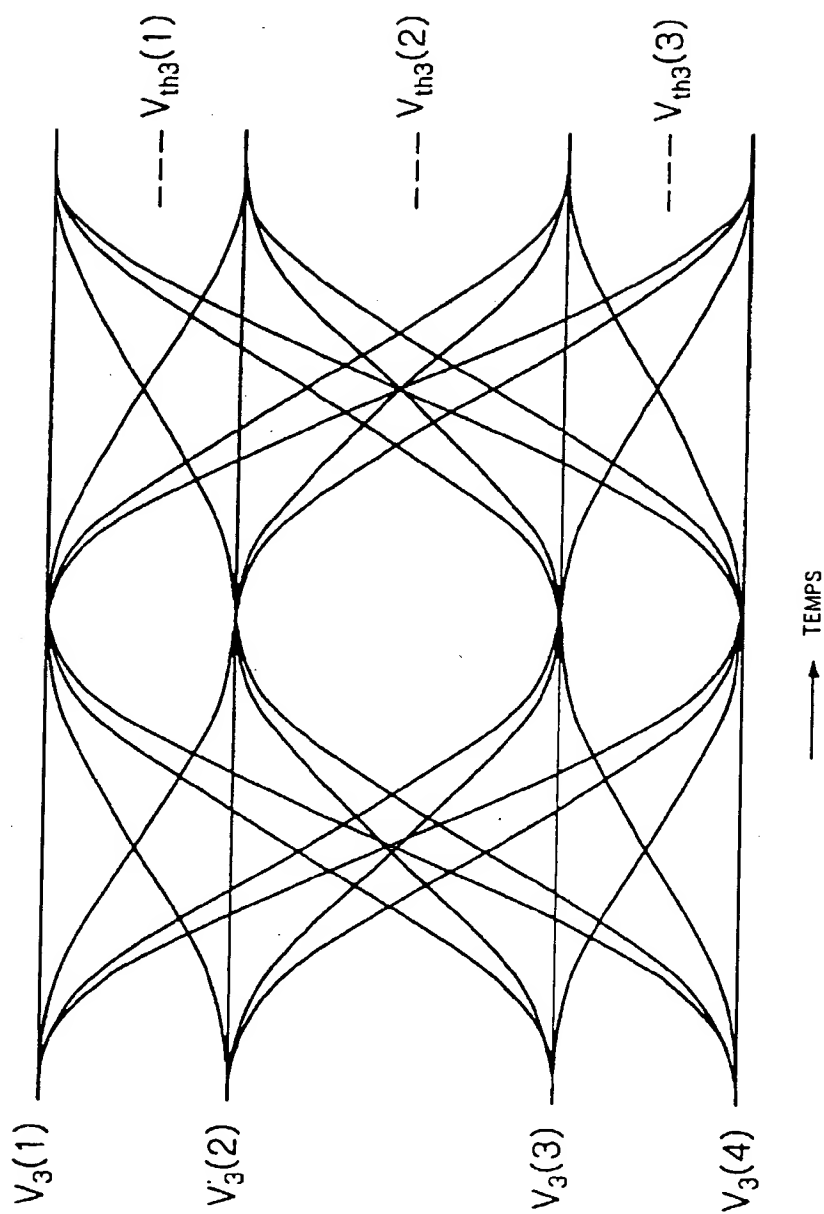
Fig. 5B





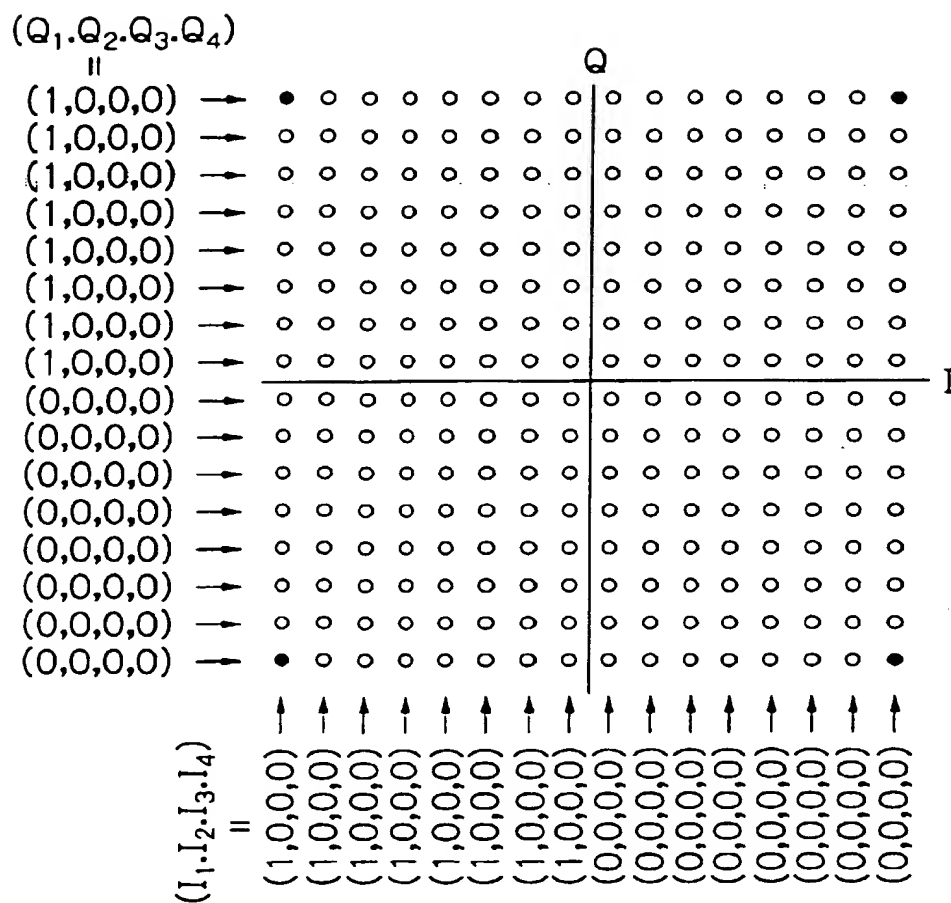
12/17

Fig. 6B



$$\frac{13}{17}$$

Fig. 7A



● DONNEES ACTIVES  
 ○ DONNEES NON ACTIVES

$\frac{14}{17}$ 

Fig. 7B

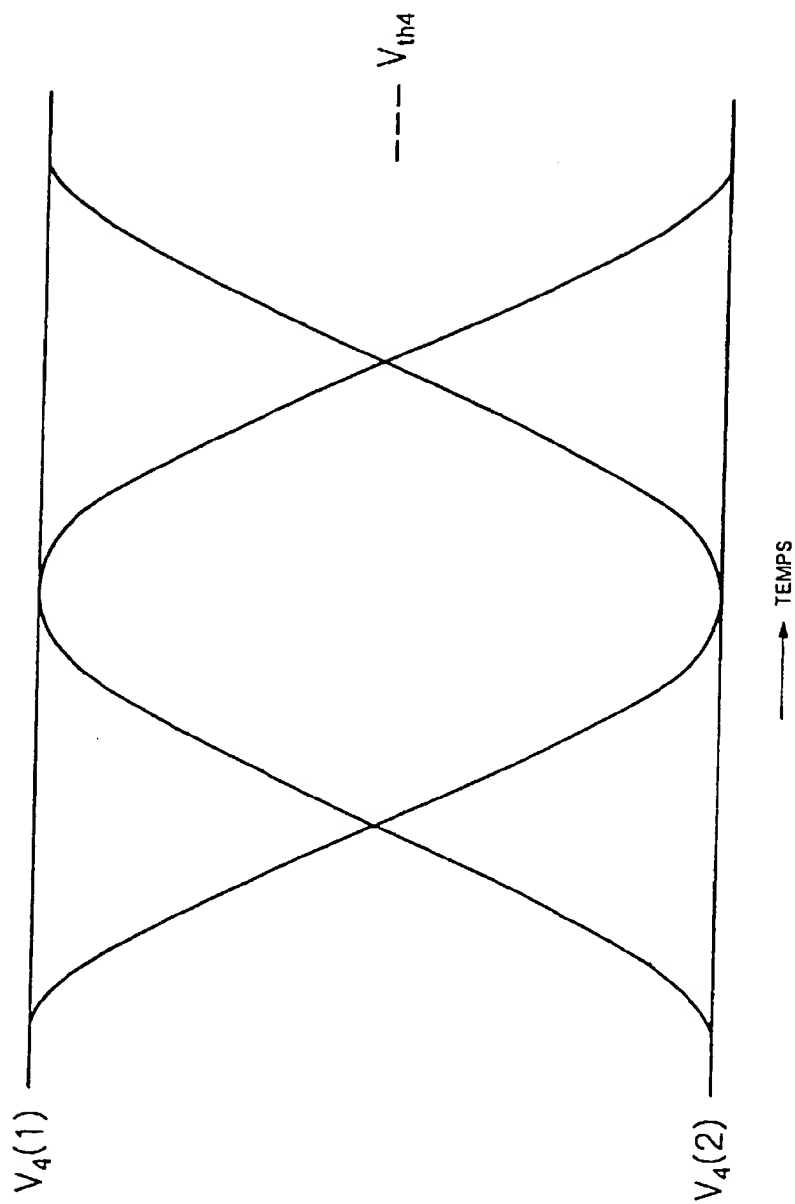
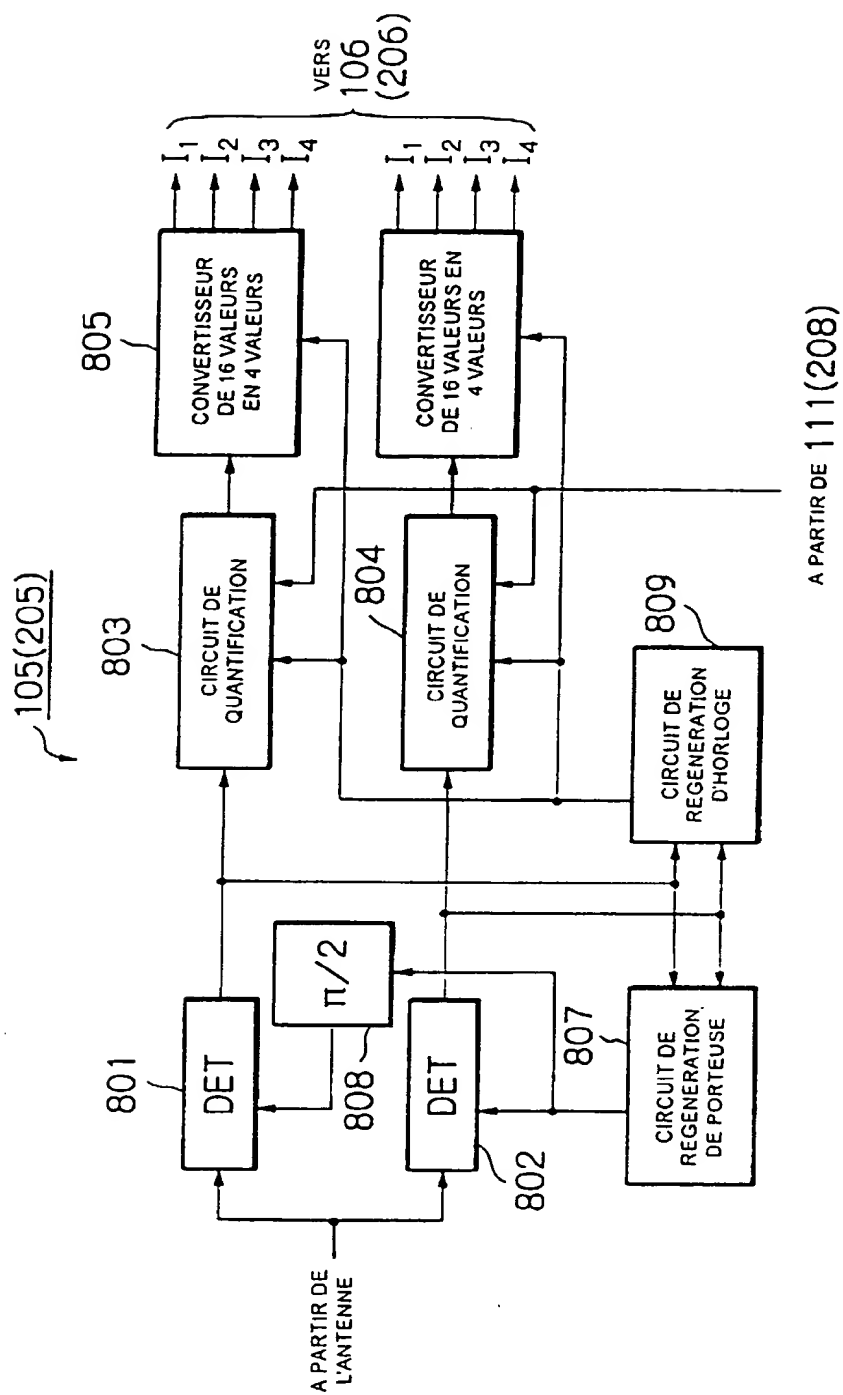




Fig. 8



16/  
17

Fig. 9

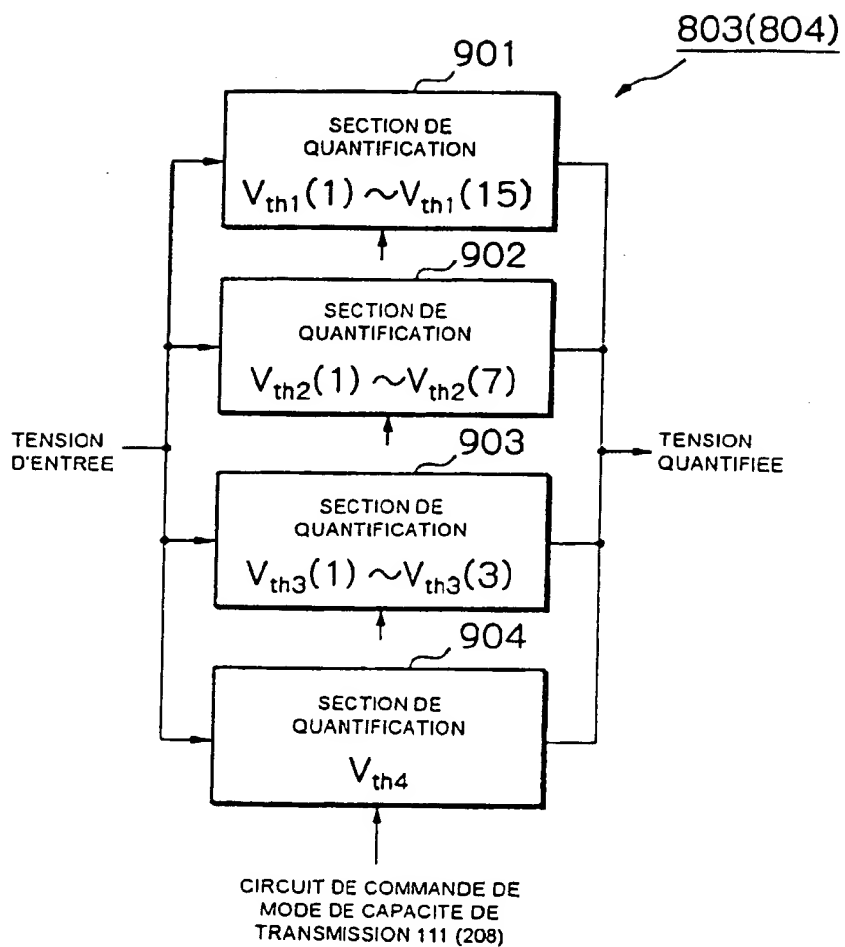
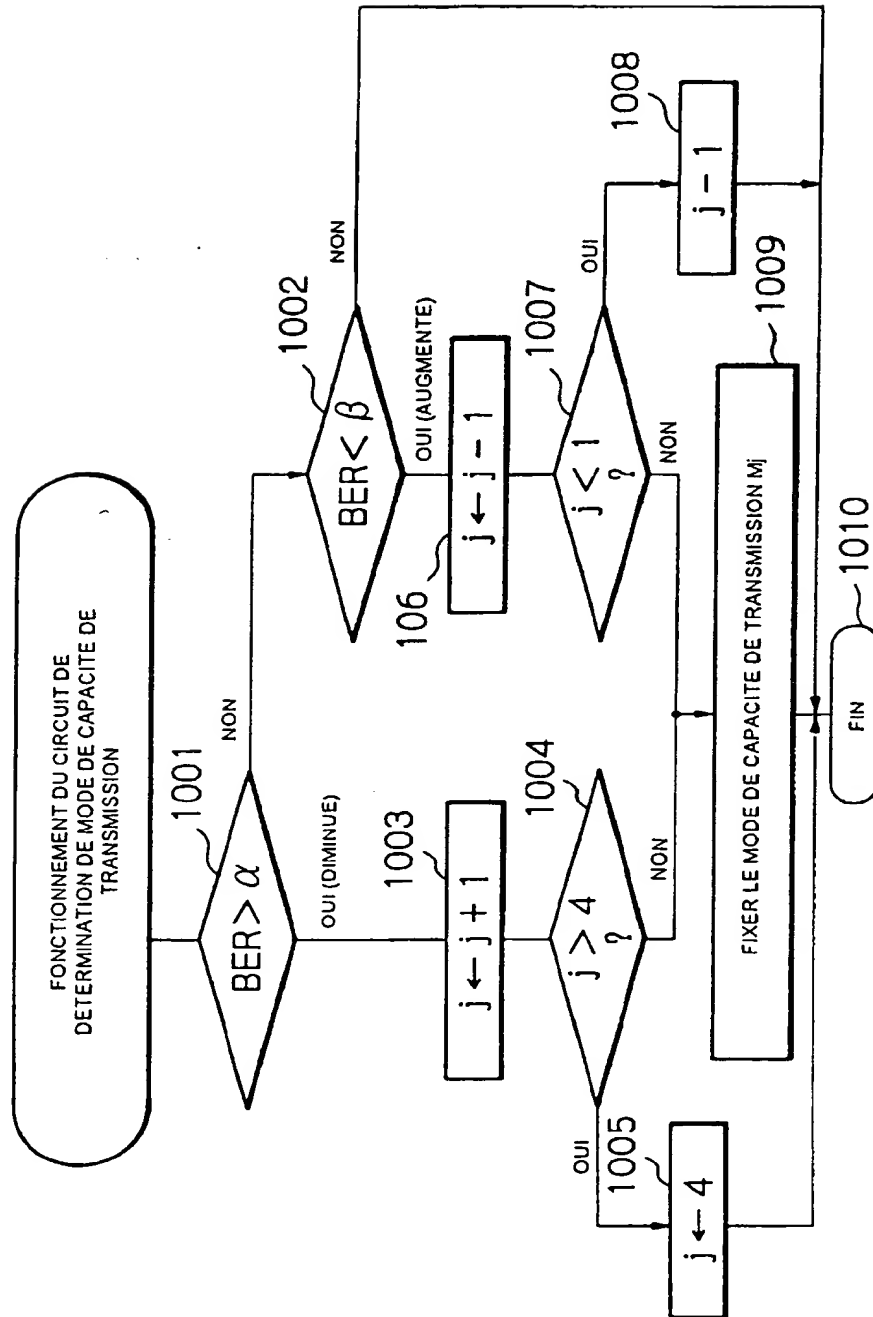


Fig. 10



**THIS PAGE BLANK (USPTO)**